

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)
[First Hit](#)

☐ [Generate Collection](#)

L11: Entry 73 of 73

File: JPAB

Jun 18, 1990

PUB-NO: JP402157675A

DOCUMENT-IDENTIFIER: JP 02157675 A

TITLE: TESTING METHOD FOR DIGITAL INTEGRATED CIRCUIT

PUBN-DATE: June 18, 1990

INVENTOR-INFORMATION:

NAME

COUNTRY

MIURA, HAJIME

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

APPL-NO: JP63311383

APPL-DATE: December 9, 1988

US-CL-CURRENT: 714/724

INT-CL (IPC): G01R 31/28; H01L 21/66; H01L 27/04

ABSTRACT:

PURPOSE: To test the digital integrated circuit which operates fast by a testing device which operates at a low speed by multiplying the reference clock of the low-speed testing device and supplying the result to the high-speed digital integrated circuit through a phase-locked loop.

CONSTITUTION: The reference clock fR of the LSI tester 11 which operates at the low speed, a control signal which is synchronized with the reference clock, and test data are outputted and the answer signal outputted by the digital integrated circuit 30 as a device to be tested and output data are inputted in synchronism with the reference clock fR. Here, the reference clock fR is supplied to the phase comparator 21 through the phase-locked loop PLL 20 and the difference from the signal of a 1/N frequency divider 22 is inputted to a voltage-controlled oscillator VCO 24 through a low-pass filter 23. Consequently, the output oscillation signal of the VCO 24 is synchronized with the reference clock fR, multiplied by N, and inputted as a fast reference clock FNR to the digital integrated circuit 30. Thus, the integrated circuit which operates fast can be tested by the LSI tester which operates at a slow clock fNR.

COPYRIGHT: (C)1990, JPO&Japio

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

⑫ 公開特許公報(A) 平2-157675

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月18日

G 01 R 31/28
H 01 L 21/66
27/04F 7376-5F
T 7514-5F
6912-2G

G 01 R 31/28

Q

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 デジタル集積回路の試験方法

⑯ 特 願 昭63-311383

⑰ 出 願 昭63(1988)12月9日

⑱ 発 明 者 三 浦 肇 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 伊東 忠彦 外2名

明 細 書

を行なうことを特徴とするデジタル集積回路の
試験方法。

1. 発明の名称

デジタル集積回路の試験方法

3. 発明の詳細な説明

(概要)

2. 特許請求の範囲

高速動作のデジタル集積回路(30)を低速動作の試験装置(11)に接続し、該試験装置(11)の出力する基準クロック及びこれに同期した出力信号を該デジタル集積回路(30)に供給し、該デジタル集積回路(30)の出力信号を該試験装置(11)に取り込んで該デジタル集積回路(30)の動作試験を行なうデジタル集積回路の試験方法において、

該試験装置(11)の出力する基準クロックを適倍し、かつ該基準クロックに同期した高速基準クロックを生成して該デジタル集積回路(30)に供給するフェーズロック回路(20)を有し、

該デジタル集積回路(30)の高速動作試験

デジタル集積回路を集積回路試験装置を用いて試験するデジタル集積回路の試験方法に関し、
低速動作の試験装置(LSIテスタ)を用いて高速動作のデジタル集積回路の高速動作試験を行なうことを目的とし、

高速動作のデジタル集積回路を低速動作の試験装置に接続し、該試験装置の出力する基準クロック及びこれに同期した出力信号を該デジタル集積回路に供給し、該デジタル集積回路の出力信号を該試験装置に取り込んで該デジタル集積回路の動作試験を行なうデジタル集積回路の試験方法において、該試験装置の出力する基準クロックを適倍し、かつ該基準クロックに同期した高速基準クロックを生成して該デジタル集積回路

に供給するフェーズロックループを有し、該デジタル集積回路の高速動作試験を行なうよう構成する。

(産業上の利用分野)

本発明はデジタル集積回路の試験方法に関し、デジタル集積回路を集積回路試験装置を用いて試験するデジタル集積回路の試験方法に関する。

近年、半導体技術の進歩とシステムの高速化の要求によって、より高速動作の可能なデジタル集積回路が開発されており、このようなデジタル集積回路は製造時の試験においても高速動作試験を行なう必要がある。

(従来の技術)

従来、デジタル集積回路を試験する場合には、第3図に示す如き構成で行なっている。デジタル集積回路10を汎用のデジタル集積回路試験装置(LSIテスト)11に接続し、LSIテスト11からデジタル集積回路10に基準クロック

本発明は上記の点に鑑みなされたもので、低速動作のLSIテストを用いて高速動作のデジタル集積回路の高速動作試験を行なうデジタル集積回路の試験方法を提供することを目的とする。

(課題を解決するための手段)

第1図は本発明方法の原理図を示す。

同図中、低速動作の試験装置11の出力する基準クロックに同期した出力信号は高速動作のデジタル集積回路30に供給され、該試験装置11は、デジタル集積回路30の出力信号を取り込んでデジタル集積回路30の動作試験を行なう。

フェーズロックループ20は、試験装置11の出力する基準クロックを逡倍し、かつ基準クロックに同期した高速基準クロックを生成してデジタル集積回路30に供給する。

(作用)

本発明方法においては、フェーズロックループ20で低速動作の試験装置11の出力する基準

ク及びこれに同期した制御信号、テストデータを供給してデジタル集積回路10を動作させ、これによってデジタル集積回路10の出力する応答信号、出力データはLSIテスト11に基準クロックに同期して取り込まれる。LSIテスト11は上記テストデータに対応して予め設定されている期待値データとデジタル集積回路10の出力データとを比較してデジタル集積回路10が正常に動作しているかどうかを判別する。

(発明が解決しようとする課題)

LSIテスト11は装置毎に基準クロックの上限周波数が決まっている。しかし、デジタル集積回路10の動作速度が上記LSIテスト11の上限周波数を越えてその差が年々増加しており、従来からのLSIテスト11ではデジタル集積回路10の高速動作試験を行なうことができないという問題があった。勿論、高速動作を行なうLSIテストも製品化されているが、非常に高価なため簡単に導入することはできない。

クロックを逡倍して高速基準クロックとし高速動作のデジタル集積回路30に供給する。またデジタル集積回路30の入出力信号は高速動作時であっても基準クロックの周波数を越えることがなく、この入出力信号を試験装置11で基準クロックに同期して入出力することが可能であるため、デジタル集積回路30の高速動作試験が可能となる。

(実施例)

第2図は本発明方法の一実施例のブロック図を示す。

同図中、LSIテスト11は従来からの低速のものであり、基準クロック f_R 及びこれに同期した制御信号、テストデータを出力し、被試験デバイスであるデジタル集積回路30の出力する応答信号、出力データを基準クロック f_R に同期して取り込む。LSIテスト11は取り込んだ出力データを内部に予め設定されている期待値データと比較して被試験デバイス動作の正常/異常を判

別する。

LSIテスト11の出力する基準クロック f_R はフェーズロックループ(PLL)20の位相比較器21に供給され、ここで分周器22よりの信号を位相比較される。位相比較器21は両信号の位相誤差電圧を生成し、この位相誤差電圧は低域フィルタ23で不要低域成分を除去された復調圧制御型発振器(VCO)24に制御電圧として供給される。

VCO24は制御電圧に応じて発振周波数を可変し、その出力発振信号は分周器22で $1/N$ 分周されて位相比較器21に供給される。このためVCO24の出力発振信号は基準クロック f_R に同期しこれを N 倍した信号となり、この出力発振信号は高速基準クロック f_{NR} としてデジタル集積回路30に供給される。

デジタル集積回路30は高速つまり高周波数の基準クロックを供給されると高速動作を行なうものであるが、内部の制御部31、演算部32、入出力部33では基準クロックを分周して夫々適

当な周波数のクロックを得、このクロックに同期して動作する。このため、上記の高速基準クロック f_{NR} は制御部31、演算部32、入出力部33夫々に供給される。

制御部31は高速基準クロック f_{NR} を分周したクロックに同期してLSIテスト11よりの制御信号を入力し、この制御信号に従って演算部32及び入出力部33の動作制御を行ない、動作に応じた応答信号を生成してLSIテスト11に供給する。

入出力部33は高速基準クロック f_{NR} を入周したクロックに同期してLSI11よりのテストデータを取り込んで演算部32に供給し、演算部32が演算して出力するデータを上記クロックに同期して出力しLSIテスト11に供給する。

デジタル集積回路30が高速動作するには高速つまり高周波数の基準クロックを供給されて高速動作を行ない、この場合制御信号、応答信号、入出力データ夫々も基準クロックに比例して高速となる。しかし、制御信号、応答信号、入出力デ

ータは基準クロックを分周したクロックに同期して制御部31、入出力部33に入出力又は生成されるものであるため、基準クロックよりも低周波数であり、基準クロック f_R より高周波数となることはない。このため、従来からの低速のLSIテスト11でもデジタル集積回路30に供給する高速動作の制御信号及びテストデータを生成することが可能で、またデジタル集積回路30からの出力データ及び応答信号を取り込むことが可能である。

従って、第2図の如くPLL20で基準クロック f_R を高速基準クロック f_{NR} を生成することにより、デジタル集積回路30の高速動作試験が可能となる。

(発明の効果)

上述の如く、本発明のデジタル集積回路の試験方法によれば、低速動作のLSIテストを用いて高速動作のデジタル集積回路の高速動作試験を行なうことができ、高速動作の高価なLSIテ

スタを導入する必要がなく、実用上きわめて有用である。

4. 図面の簡単な説明

第1図は本発明方法の原理図、

第2図は本発明方法の一実施例のブロック図、

第3図は従来方法を示す図である。

図において、

11はLSIテスト、

20はフェーズロックループ(PLL)、

21は位相比較器、

22は分周器、

23は低域フィルタ、

24はVCO、

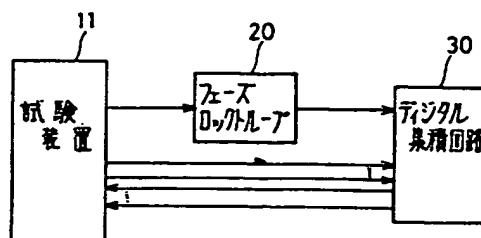
30はデジタル集積回路、

31は制御部、

32は演算部、

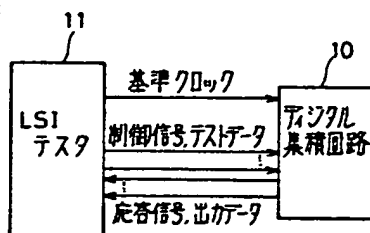
33は入出力部

を示す。



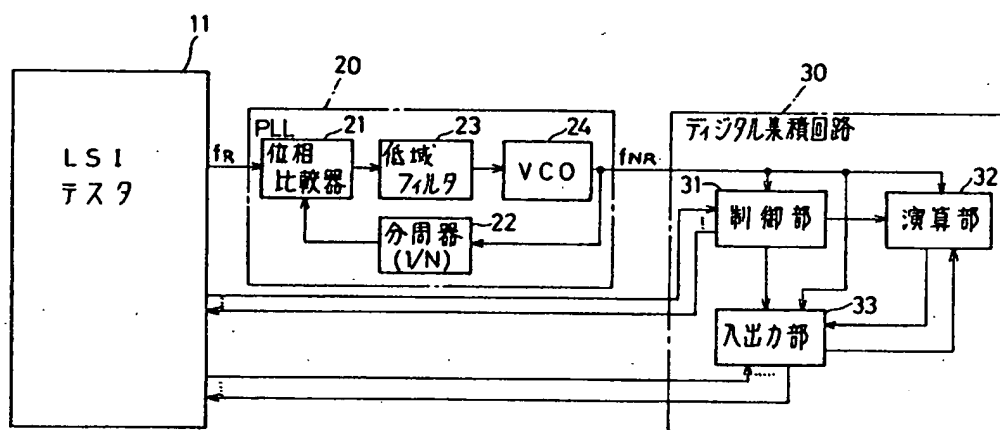
本発明方法の原理図

第 1 図



従来方法を示す図

第 3 図



本発明方法のブロック図

第 2 図